

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H04L12/56

(65) Publication No.: P1999-0060122

(43) Publication Date: 26 July 1999

(21) Application No.: 10-1997-80343

(22) Application Date: 31 December 1997

(71) Patentee:

Hyundai Semiconductor Co. Ltd

1 Hyangjung-dong, Heungduck-ku, Chungju-shi, Chungcheongbuk-do, Republic of Korea

(72) Inventor:

CHOI, MAN SHIK

(54) Title of the Invention:

Apparatus for processing received error packet

Abstract:

Provided is an apparatus for processing a received error packet. Conventionally, even if a packet that is received by a LAN adapter is not effective due to receiving errors, the LAN adapter transfers data stored in packets that have been received by then to a system memory region using a DMA engine in the same manner as other normal packets. The transferred packet data is not used and just removed due to errors written in a receiving state of a receiving frame. Thus, while the error packet is being copied in the system memory region, data traffic is increased by using a local bus and a certain space is occupied by the error packet in a link driving apparatus region to cause waste of a memory. Also, the error packet is not directly removed inside a controller, thus adversely affecting the next packet. As a result, the efficiency of a FIFO memory in the controller is lowered. However, in the present invention, any received error packet is not transferred to a link driver. If a received packet has errors, it can be directly removed from a memory. Thus, the next packet can be received promptly, and the efficiency of a FIFO memory in a controller increases. Also, since it is not required to transfer data of the error packet to a system memory, data traffic can be reduced in a system bus and a link driving apparatus does not require a buffer region for the error packet. In a high-speed Ethernet controller, the apparatus includes a received error clear bit, which determines whether or not packet data that have been received by then in a FIFO memory will be removed depending on whether or not a packet received in a receiving control register has errors.

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. H04L 12/56	(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년04월15일 10-0253399 2000년01월22일
(21) 출원번호 (22) 출원일자 (73) 특허권자	10-1997-0080343 1997년12월31일 현대반도체주식회사, 김영환 대한민국 361480 충청북도 청주시 흥덕구 향정동 1번지	(65) 공개번호 (43) 공개일자 특1999-0060122 1999년07월26일
(72) 발명자	최만식 대한민국 137-011 서울특별시 서초구 양재1동 94-4	
(74) 대리인	박장원	
(77) 심사청구	심사관: 전종성	
(54) 출원명	수신오류 패킷 처리장치	

요약

본 발명은 수신오류 패킷 처리장치에 관한 것으로, 종래의 기술에 있어서는 랜 어댑터(LAN Adapter)에 의하여 수신된 하나의 패킷이 수신 도중의 오류로 인하여 유효하지 못한 경우에도 상기 어댑터는 이와 관계없이 그때까지 받은 해당 패킷의 내용을 정상적인 패킷과 동일하게 시스템 메모리 영역에 디램에이 엔진을 이용하여 옮겨지게 되고, 이 옮겨진 패킷 데이터는 수신 프레임의 수신상태에 기록된 오류로 인해 사용되어 지지않고 제거만됨으로써, 오류 패킷을 시스템 메모리 영역으로 복사하는 과정에서 로컬 버스를 사용하여 버스 트래픽(traffic)을 증가시키고, 링크 구동장치 영역에 일정한 자리를 차지함으로써, 메모리의 낭비를 초래하며, 또한 제어기 내부에서 바로 제거되지 않음으로 인하여 다음에 수신될 패킷에도 영향을 미치게되어 제어기 내부의 피포 메모리의 비효율성이 증대되는 문제점이 있었다.

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 수신시 오류 패킷을 링크 드라이버에 전달하지 않게 함으로써, 수신 패킷 오류시 신속히 수신된 해당 패킷을 피포에서 클리어할 수 있으므로, 다음 패킷 수신속도를 향상시키고, 제어기의 피포 메모리 이용 효율성도 증가하며, 또한 수신 오류시 패킷 데이터를 시스템 메모리로 옮길 필요가 없으므로 시스템 버스의 트래픽을 줄이고, 오류 패킷에 대한 링크 구동장치의 버퍼영역이 불필요함으로 메모리 이용 효율이 증가하는 효과가 있다

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래 고속 이더넷 제어기의 구성을 보인 블록도.

도 2는 종래 수신 패킷을 위한 링크 구동장치의 메모리 구성도.

도 3은 본 발명을 적용한 고속 이더넷 제어기의 구성을 보인 블록도.

도 4는 도 3에서 로직부의 구성을 보인 예시도.

도 5는 본 발명에서 수신 패킷을 위한 링크 구동장치의 메모리 구성도.

도면의 주요 부분에 대한 부호의 설명

10, 30 : 고속 이더넷 제어기 11 : 트윈스트 페어 케이블

12 : 트랜시버 13 : 디코더

14 : 매체독립 인터페이스 15 : 어드레스 CAM

16 : 수신피포 17 : 디램에이 수신피포

18 : 디엠에이 엔진	19 : 수신부
20 : 디엠에이 독립 인터페이스	21 : 수신제어 레지스터
22 : 수신상태 레지스터	23 : 수신프레임 포인터
24 : 수신버퍼 포인터	25 : 링크 구동장치
26 : 프로세서	31 : 로직부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 수신오류 패킷 처리장치에 관한 것으로, 특히 고속 이더넷 제어기의 패킷 수신시에 처리하는 방법을 개선하여 전체적인 네트워크 속도를 빠르게 하고, 수신시 오류인 패킷을 링크 드라이버에 전달하지 않게 함으로써, 로컬 버스의 트래픽을 줄이며, 이후 패킷의 수신 속도를 빠르게 하여 전체적인 이더넷 제어기의 패킷 수신 속도를 개선하여 메모리 이용의 효율을 증대시키는 수신오류 패킷 처리장치에 관한 것이다.

도 1은 종래 고속 이더넷 제어기의 구성을 보인 블록도로서, 이에 도시된 바와 같이 트위스트 페어 케이블(11)을 통하여 전달되는 아날로그 신호를 감지하여 신호변환과 해석을 수행하는 트랜시버(12)와; 상기 트랜시버(12)에 의해 전달된 패킷 정보를 저장하는 수신피포(FIFO, 16)와; 수신된 패킷의 정보를 얻어내는 수신부(19)와; 상기 수신부(19)에서 전달되는 패킷을 저장하고, 이 패킷을 시스템 메모리의 지정된 영역으로 옮기는 역할을 수행하는 디엠에이(DMA) 엔진(18)과; 디엠에이(DMA) 수신피포(17) 및 각종 수신관련 제어, 상태 레지스터(21, 22) 및 포인터(23, 24)를 가지며, 상기 시스템 메모리의 영역에는 이더넷 제어기의 동작을 제어할 링크 구동장치(25)가 메모리상에 상주하여 있고, 이 구동장치(25)의 메모리 상주시에 모든 고속 이더넷 제어기의 레지스터 및 메모리 할당이 초기화 되어진다.

상기와 같이 구성된 종래 장치의 동작 과정을 첨부한 도 2를 참조하여 설명하면 다음과 같다.

도 2는 종래 수신 패킷을 위한 링크 구동장치의 메모리 구성도로서, 이에 도시된 바와 같이 먼저 링크 구동장치(25)는 수신제어 레지스터(21) 및 수신프레임 포인터(23), 수신버퍼 포인터(24)를 적절한 링크 구동장치(25)내의 위치에 설정하고, 트위스트 페어 케이블(11) 상의 패킷이 트랜시버(12)의 디코더(13)를 거쳐 매체독립 인터페이스(14)상에서 어드레스 CAM을 이용해서 수신지 어드레스를 비교 후, 수신되어야 하는 패킷임을 판명하며, 상기 어드레스 CAM의 내용을 토대로 수신 패킷은 일단 수신피포를 거쳐 디엠에이 수신피포에 저장되고, 이 수신된 패킷의 저장이 완료되면 해당 패킷의 오류 유무가 수신제어 레지스터(21)의 각 비트 설정에 따라 해당 항목이 판단되며, 만약 수신된 패킷이 수신상태 레지스터(22)에 명기된 오류를 지니면 수신부(19)가 이를 판별하여 수신상태 레지스터(22)의 해당 비트를 설정한다.

수신프레임 포인터(23)와 수신버퍼 포인터(24)를 참조하여 현재 수신된 패킷의 데이터를 기록할 메모리 주소와 수신된 패킷의 정보를 기록할 프레임의 주소를 계산한다.

상기에서 얻어진 주소를 바탕으로 디엠에이 엔진(18)은 시스템 메모리 영역에 수신된 패킷 및 수신상태 정보를 각각 수신프레임 포인터(23)와 수신버퍼 포인터(24) 영역에 기록한다.

상기 동작의 수행이 완료되면 고속 이더넷 제어기(10)는 하드웨어 인터럽트를 발생시키며, 프로세서는 이 인터럽트의 발생에 의해 해당 링크 구동장치(25) 내의 인터럽트 서비스 루틴(ISR)을 수행하고, 상기 링크 구동장치(25)는 기 설정된 수신프레임 포인터(23) 및 수신버퍼 포인터(24)에 의해 현재 수신된 패킷의 프레임 및 패킷 데이터의 메모리 위치를 얻는다.

프레임 내의 수신상태의 정보를 상기 링크 구동장치(25)가 읽어들이 오류의 유무를 판별하며, 현재 수신된 패킷이 오류임이 판명되면 상위 영역에 링크 구동장치(25) 초기화 시 넘겨받은 함수를 실행함으로써, 이를 알린다.

상기 동작이 완료되면 수신프레임 포인터(23) 및 수신버퍼 포인터(24)가 가리키는 프레임 및 패킷 데이터 메모리 영역의 오너(Owner)를 해제하여 고속 이더넷 제어기(10)가 다음 수신 패킷에 대해 사용 가능하도록 한다.

발명이 이루고자 하는 기술적 과제

상기와 같이 종래의 기술에 있어서는 랜 어댑터(LAN Adapter)에 의하여 수신된 하나의 패킷이 수신 도중의 오류로 인하여 유효하지 못한 경우에도 상기 어댑터는 이와 관계없이 그때까지 받은 해당 패킷의 내용을 정상적인 패킷과 동일하게 시스템 메모리 영역에 디엠에이 엔진을 이용하여 옮겨지게 되고, 이 옮겨진 패킷 데이터는 수신 프레임의 수신상태에 기록된 오류로 인해 사용되어 지지않고 제거만됨으로써, 오류 패킷을 시스템 메모리 영역으로 복사하는 과정에서 로컬 버스를 사용하여 버스 트래픽(traffic)을 증가시키고, 링크 구동장치 영역에 일정한 자리를 차지함으로써, 메모리의 낭비를 초래하며, 또한 제어기 내부에서 바로 제거되지 않음으로 인하여 다음에 수신될 패킷에도 영향을 미치게되어 제어기 내부의 피포 메모리의 비효율성이 증대되는 문제점이 있었다.

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 수신시 오류 패킷을 링크 드라이버에 전달하지 않게 함으로써, 종래의 문제점을 해결하는 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명의 구성은 고속 이더넷 제어기에 있어서, 수신 제어레지스터 내에 수신된 패킷의 오류 여부에 따라 그 때까지 수신된 피포내의 패킷 데이터를 제거할 것인지 여부를 결정하는 수신오류 클리어 비트와, 수신상태 레지스터의 오류 비트들의 조합에 의해 디램에이 수신피포 내부에 존재하는 수신된 패킷 데이터를 제거할 것인지 그대로 놔두었다가 시스템 메모리로 옮길 것인지를 결정하고, 제거할 경우 해당 패킷 내용이 수신되기 이전의 디램에이 수신피포 어드레스로 이동함으로써, 현재 받은 패킷 내용을 제거하는 로직부를 구비함을 특징으로 한다.

이하, 본 발명에 따른 일 실시예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도 3은 본 발명을 적용한 고속 이더넷 제어기의 구성을 보인 블록도이고, 도 4는 도 3에서 로직부의 구성을 보인 예시도로서, 이에 도시한 바와 같이 먼저 수신제어 레지스터(10)의 수신오류 클리어 비트를 '1'로 설정하고, 트위스트쌍 케이블(11)상의 패킷이 트랜시버(12)의 디코더(13)를 거쳐 매체독립 인터페이스(14)상에서 어드레스 CAM(15)을 이용해서 수신지 어드레스를 비교 후, 수신되어야 하는 패킷임을 판명하며, 상기 어드레스 CAM(15)의 내용을 토대로 수신 패킷은 일단 수신피포(16)를 거쳐 디램에이 수신피포(17)에 저장되고, 이 수신된 패킷의 저장이 완료되면 해당 패킷의 오류 유무가 수신제어(Rx_Ctl)레지스터(21)의 각 비트 설정에 따라 해당 항목이 판단되며, 만약 수신된 패킷이 수신상태 레지스터(22)에 명기된 오류를 지니면 로직부(31)가 이를 판별하여 상기 수신상태 레지스터(22)의 해당 비트를 설정한다.

도 5에서와 같이 수신프레임 포인터(23)를 참조하여 현재 수신된 패킷에 대한 정보를 기록할 프레임의 주소만 계산하고, 수신버퍼 포인터(24)는 그대로 두며, 상기에서 얻어진 주소를 바탕으로 수신된 패킷에 대한 정보를 메모리 영역 중 수신프레임 포인터(23) 영역에 기록한다.

상기 동작이 완료되면 제어기는 하드웨어 인터럽트를 발생하며, 이 인터럽트에 의해 링크 구동장치의 내의 인터럽트 서비스 루틴(ISR)을 수행하고, 상기 링크 구동장치는 기 설정된 수신프레임 포인터(23) 및 수신버퍼 포인터(24)에 의해 현재 수신된 패킷의 프레임 및 패킷 데이터의 메모리 위치를 얻는다.

프레임 내의 수신상태의 정보를 상기 링크 구동장치(25)가 읽어들이어 오류의 유무를 판별하며, 현재 수신된 패킷이 오류임이 판명되면 상위 영역에 링크 구동장치(25) 초기화 시 넘겨받은 함수를 실행함으로써, 이를 알린다.

상기의 동작이 완료되면 수신프레임 포인터(23)가 가리키는 메모리의 프레임 내 오너를 해제하여 고속 이더넷 제어기(10)가 다음 수신 패킷에 대해 사용 가능하도록 한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명 수신오류 패킷 처리장치는 수신 패킷 오류시 신속히 수신된 해당 패킷을 피포에서 클리어할 수 있으므로, 다음 패킷 수신속도를 향상시키고, 제어기의 피포 메모리 이용 효율성도 증가하며, 또한 수신 오류시 패킷 데이터를 시스템 메모리로 옮길 필요가 없으므로 시스템 버스의 트래픽을 줄이고, 오류 패킷에 대한 링크 구동장치의 버퍼영역이 불필요함으로 메모리 이용 효율이 증가하는 효과가 있다.

(57) 청구의 범위

청구항 1.

고속 이더넷 제어기에 있어서, 수신 제어레지스터 내에 수신된 패킷의 오류 여부에 따라 그 때까지 수신된 피포내의 패킷 데이터를 제거할 것인지 여부를 결정는 수신오류 클리어 비트와, 수신상태 레지스터의 오류 비트들의 조합에 의해 디램에이 수신피포 내부에 존재하는 수신된 패킷 데이터를 제거할 것인지 그대로 놔두었다가 시스템 메모리로 옮길 것인지를 결정하고, 제거할 경우 해당 패킷 내용이 수신되기 이전의 디램에이 수신피포 어드레스로 이동함으로써, 현재 받은 패킷 내용을 제거 하는 것을 특징으로 하는 수신오류 패킷 처리장치.

도면

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. H04L 12/56		(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년04월15일 10-0253399 2000년01월22일
(21) 출원번호	10-1997-0080343	(65) 공개번호	특1999-0060122
(22) 출원일자	1997년12월31일	(43) 공개일자	1999년07월26일
(73) 특허권자	현대반도체주식회사, 김영환 대한민국 361480 충청북도 청주시 흥덕구 향정동 1번지		
(72) 발명자	최만식 대한민국 137-011 서울특별시 서초구 양재1동 94-4		
(74) 대리인	박장원		
(77) 심사청구	심사관: 전종성		
(54) 출원명	수신오류 패킷 처리장치		

요약

본 발명은 수신오류 패킷 처리장치에 관한 것으로, 종래의 기술에 있어서는 랜 어댑터(LAN Adapter)에 의하여 수신된 하나의 패킷이 수신 도중의 오류로 인하여 유효하지 못한 경우에도 상기 어댑터는 이와 관계없이 그때까지 받은 해당 패킷의 내용을 정상적인 패킷과 동일하게 시스템 메모리 영역에 디램에이 엔진을 이용하여 옮겨지게 되고, 이 옮겨진 패킷 데이터는 수신 프레임의 수신상태에 기록된 오류로 인해 사용되어 지지않고 제거만됨으로써, 오류 패킷을 시스템 메모리 영역으로 복사하는 과정에서 로컬 버스를 사용하여 버스 트래픽(traffic)을 증가시키고, 링크 구동장치 영역에 일정한 자리를 차지함으로써, 메모리의 낭비를 초래하며, 또한 제어기 내부에서 바로 제거되지 않음으로 인하여 다음에 수신될 패킷에도 영향을 미치게되어 제어기 내부의 피포 메모리의 비효율성이 증대되는 문제점이 있었다.

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 수신시 오류 패킷을 링크 드라이버에 전달하지 않게 함으로써, 수신 패킷 오류시 신속히 수신된 해당 패킷을 피포에서 클리어할 수 있으므로, 다음 패킷 수신속도를 향상시키고, 제어기의 피포 메모리 이용 효율성도 증가하며, 또한 수신 오류시 패킷 데이터를 시스템 메모리로 옮길 필요가 없으므로 시스템 버스의 트래픽을 줄이고, 오류 패킷에 대한 링크 구동장치의 버퍼영역이 불필요함으로 메모리 이용 효율이 증가하는 효과가 있다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래 고속 이더넷 제어기의 구성을 보인 블록도.

도 2는 종래 수신 패킷을 위한 링크 구동장치의 메모리 구성도.

도 3은 본 발명을 적용한 고속 이더넷 제어기의 구성을 보인 블록도.

도 4는 도 3에서 로직부의 구성을 보인 예시도.

도 5는 본 발명에서 수신 패킷을 위한 링크 구동장치의 메모리 구성도.

도면의 주요 부분에 대한 부호의 설명

10, 30 : 고속 이더넷 제어기 11 : 트윈스트 페어 케이블

12 : 트랜시버 13 : 디코더

14 : 매체독립 인터페이스 15 : 어드레스 CAM

16 : 수신피포 17 : 디램에이 수신피포

18 : 디엠에이 엔진	19 : 수신부
20 : 디엠에이 독립 인터페이스	21 : 수신제어 레지스터
22 : 수신상태 레지스터	23 : 수신프레임 포인터
24 : 수신버퍼 포인터	25 : 링크 구동장치
26 : 프로세서	31 : 로직부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 수신오류 패킷 처리장치에 관한 것으로, 특히 고속 이더넷 제어기의 패킷 수신시에 처리하는 방법을 개선하여 전체적인 네트워크 속도를 빠르게 하고, 수신시 오류인 패킷을 링크 드라이버에 전달하지 않게 함으로써, 로컬 버스의 트래픽을 줄이며, 이후 패킷의 수신 속도를 빠르게 하여 전체적인 이더넷 제어기의 패킷 수신 속도를 개선하여 메모리 이용의 효율을 증대시키는 수신오류 패킷 처리장치에 관한 것이다.

도 1은 종래 고속 이더넷 제어기의 구성을 보인 블록도로서, 이에 도시된 바와 같이 트윈스트 페어 케이블(11)을 통하여 전달되는 아날로그 신호를 감지하여 신호변환과 해석을 수행하는 트랜시버(12)와; 상기 트랜시버(12)에 의해 전달된 패킷 정보를 저장하는 수신피포(FIFO, 16)와; 수신된 패킷의 정보를 얻어내는 수신부(19)와; 상기 수신부(19)에서 전달되는 패킷을 저장하고, 이 패킷을 시스템 메모리의 지정된 영역으로 옮기는 역할을 수행하는 디엠에이(DMA) 엔진(18)과; 디엠에이(DMA) 수신피포(17) 및 각종 수신관련 제어, 상태 레지스터(21, 22) 및 포인터(23, 24)를 가지며, 상기 시스템 메모리의 영역에는 이더넷 제어기의 동작을 제어할 링크 구동장치(25)가 메모리상에 상주하여 있고, 이 구동장치(25)의 메모리 상주시에 모든 고속 이더넷 제어기의 레지스터 및 메모리 할당이 초기화 되어진다.

상기와 같이 구성된 종래 장치의 동작 과정을 첨부한 도 2를 참조하여 설명하면 다음과 같다.

도 2는 종래 수신 패킷을 위한 링크 구동장치의 메모리 구성도로서, 이에 도시된 바와 같이 먼저 링크 구동장치(25)는 수신제어 레지스터(21) 및 수신프레임 포인터(23), 수신버퍼 포인터(24)를 적절한 링크 구동장치(25)내의 위치에 설정하고, 트윈스트 페어 케이블(11) 상의 패킷이 트랜시버(12)의 디코더(13)를 거쳐 매체독립 인터페이스(14)상에서 어드레스 CAM을 이용해서 수신지 어드레스를 비교 후, 수신되어야 하는 패킷임을 판명하며, 상기 어드레스 CAM의 내용을 토대로 수신 패킷은 일단 수신피포를 거쳐 디엠에이 수신피포에 저장되고, 이 수신된 패킷의 저장이 완료되면 해당 패킷의 오류 유무가 수신제어 레지스터(21)의 각 비트 설정에 따라 해당 항목이 판단되며, 만약 수신된 패킷이 수신상태 레지스터(22)에 명기된 오류를 지니면 수신부(19)가 이를 판별하여 수신상태 레지스터(22)의 해당 비트를 설정한다.

수신프레임 포인터(23)와 수신버퍼 포인터(24)를 참조하여 현재 수신된 패킷의 데이터 기록할 메모리 주소와 수신된 패킷의 정보를 기록할 프레임의 주소를 계산한다.

상기에서 얻어진 주소를 바탕으로 디엠에이 엔진(18)은 시스템 메모리 영역에 수신된 패킷 및 수신상태 정보를 각각 수신프레임 포인터(23)와 수신버퍼 포인터(24) 영역에 기록한다.

상기 동작의 수행이 완료되면 고속 이더넷 제어기(10)는 하드웨어 인터럽트를 발생시키며, 프로세서는 이 인터럽트의 발생에 의해 해당 링크 구동장치(25) 내의 인터럽트 서비스 루틴(ISR)을 수행하고, 상기 링크 구동장치(25)는 기 설정된 수신프레임 포인터(23) 및 수신버퍼 포인터(24)에 의해 현재 수신된 패킷의 프레임 및 패킷 데이터의 메모리 위치를 얻는다.

프레임 내의 수신상태의 정보를 상기 링크 구동장치(25)가 읽어들이 오류의 유무를 판별하며, 현재 수신된 패킷이 오류임이 판명되면 상위 영역에 링크 구동장치(25) 초기화 시 넘겨받은 함수를 실행함으로써, 이를 알린다.

상기 동작이 완료되면 수신프레임 포인터(23) 및 수신버퍼 포인터(24)가 가리키는 프레임 및 패킷 데이터 메모리 영역의 오너(Owner)를 해제하여 고속 이더넷 제어기(10)가 다음 수신 패킷에 대해 사용 가능하도록 한다.

발명이 이루고자 하는 기술적 과제

상기와 같이 종래의 기술에 있어서는 랜 어댑터(LAN Adapter)에 의하여 수신된 하나의 패킷이 수신 도중의 오류로 인하여 유효하지 못한 경우에도 상기 어댑터는 이와 관계없이 그때까지 받은 해당 패킷의 내용을 정상적인 패킷과 동일하게 시스템 메모리 영역에 디엠에이 엔진을 이용하여 옮겨지게 되고, 이 옮겨진 패킷 데이터는 수신 프레임의 수신상태에 기록된 오류로 인해 사용되어 지지않고 제거만됨으로써, 오류 패킷을 시스템 메모리 영역으로 복사하는 과정에서 로컬 버스를 사용하여 버스 트래픽(traffic)을 증가시키고, 링크 구동장치 영역에 일정한 자리를 차지함으로써, 메모리의 낭비를 초래하며, 또한 제어기 내부에서 바로 제거되지 않음으로 인하여 다음에 수신될 패킷에도 영향을 미치게되어 제어기 내부의 피포 메모리의 비효율성이 증대되는 문제점이 있었다.

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 수신시 오류 패킷을 링크 드라이버에 전달하지 않게 함으로써, 종래의 문제점을 해결하는 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명의 구성은 고속 이더넷 제어기에 있어서, 수신 제어레지스터 내에 수신된 패킷의 오류 여부에 따라 그 때까지 수신된 피포내의 패킷 데이터를 제거할 것인지 여부를 결정하는 수신오류 클리어 비트와, 수신상태 레지스터의 오류 비트들의 조합에 의해 디램에 수신피포 내부에 존재하는 수신된 패킷 데이터를 제거할 것인지 그대로 놔두었다가 시스템 메모리로 옮길 것인지를 결정하고, 제거할 경우 해당 패킷 내용이 수신되기 이전의 디램에 수신피포 어드레스로 이동함으로써, 현재 받은 패킷 내용을 제거하는 로직부를 구비함을 특징으로 한다.

이하, 본 발명에 따른 일 실시예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도 3은 본 발명을 적용한 고속 이더넷 제어기의 구성을 보인 블록도이고, 도 4는 도 3에서 로직부의 구성을 보인 예시도로서, 이에 도시한 바와 같이 먼저 수신제어 레지스터(10)의 수신오류 클리어 비트를 '1'로 설정하고, 트루스트쌍 케이블(11)상의 패킷이 트랜시버(12)의 디코더(13)를 거쳐 매체독립 인터페이스(14)상에서 어드레스 CAM(15)을 이용해서 수신지 어드레스를 비교 후, 수신되어야 하는 패킷임을 판명하며, 상기 어드레스 CAM(15)의 내용을 토대로 수신 패킷은 일단 수신피포(16)를 거쳐 디램에 수신피포(17)에 저장되고, 이 수신된 패킷의 저장이 완료되면 해당 패킷의 오류 유무가 수신제어(Rx_Ctl)레지스터(21)의 각 비트 설정에 따라 해당 항목이 판단되며, 만약 수신된 패킷이 수신상태 레지스터(22)에 명기된 오류를 지니면 로직부(31)가 이를 판별하여 상기 수신상태 레지스터(22)의 해당 비트를 설정한다.

도 5에서와 같이 수신프레임 포인터(23)를 참조하여 현재 수신된 패킷에 대한 정보를 기록할 프레임의 주소만 계산하고, 수신버퍼 포인터(24)는 그대로 두며, 상기에서 얻어진 주소를 바탕으로 수신된 패킷에 대한 정보를 메모리 영역 중 수신프레임 포인터(23) 영역에 기록한다.

상기 동작이 완료되면 제어기는 하드웨어 인터럽트를 발생하며, 이 인터럽트에 의해 링크 구동장치의 내의 인터럽트 서비스 루틴(ISR)을 수행하고, 상기 링크 구동장치는 기 설정된 수신프레임 포인터(23) 및 수신버퍼 포인터(24)에 의해 현재 수신된 패킷의 프레임 및 패킷 데이터의 메모리 위치를 얻는다.

프레임 내의 수신상태의 정보를 상기 링크 구동장치(25)가 읽어들이 오류의 유무를 판별하며, 현재 수신된 패킷이 오류임이 판명되면 상위 영역에 링크 구동장치(25) 초기화 시 넘겨받은 함수를 실행함으로써, 이를 알린다.

상기의 동작이 완료되면, 수신프레임 포인터(23)가 가리키는 메모리의 프레임 내 오너를 해제하여 고속 이더넷 제어기(10)가 다음 수신 패킷에 대해 사용 가능하도록 한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명 수신오류 패킷 처리장치는 수신 패킷 오류시 신속히 수신된 해당 패킷을 피포에서 클리어할 수 있으므로, 다음 패킷 수신속도를 향상시키고, 제어기의 피포 메모리 이용 효율성도 증가하며, 또한 수신 오류시 패킷 데이터를 시스템 메모리로 옮길 필요가 없으므로 시스템 버스의 트래픽을 줄이고, 오류 패킷에 대한 링크 구동장치의 버퍼영역이 불필요함으로 메모리 이용 효율이 증가하는 효과가 있다.

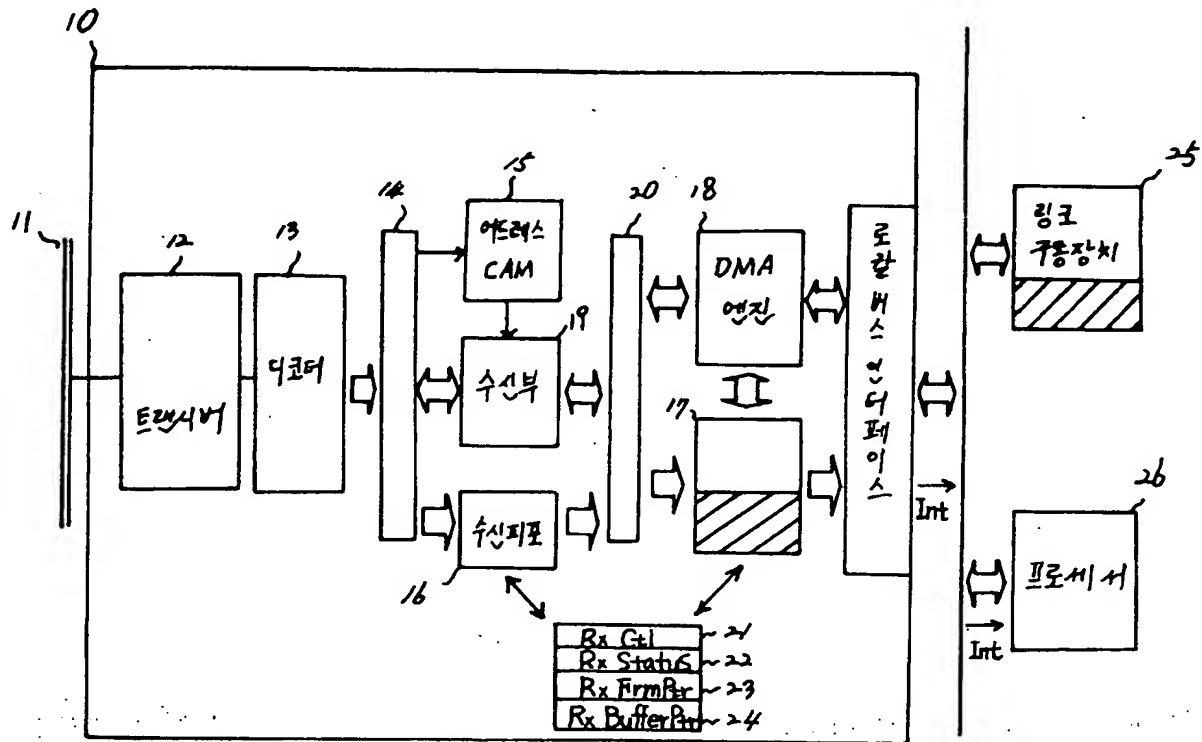
(57) 청구의 범위

청구항 1.

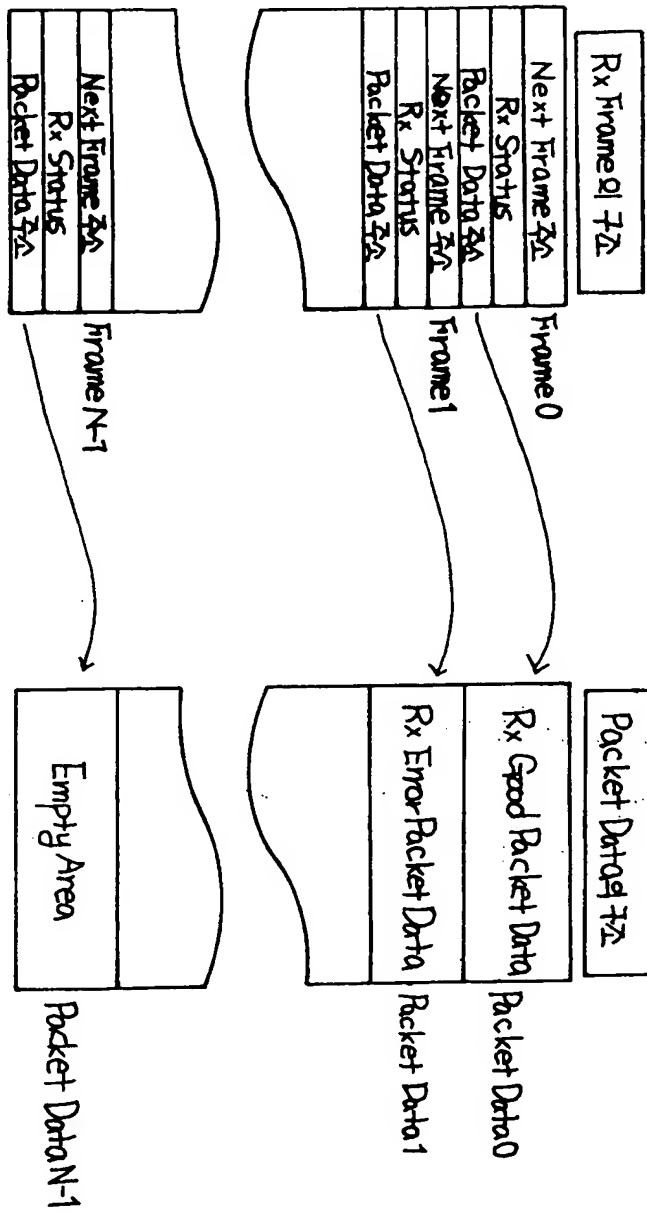
고속 이더넷 제어기에 있어서, 수신 제어레지스터 내에 수신된 패킷의 오류 여부에 따라 그 때까지 수신된 피포내의 패킷 데이터를 제거할 것인지 여부를 결정하는 수신오류 클리어 비트와, 수신상태 레지스터의 오류 비트들의 조합에 의해 디램에 수신피포 내부에 존재하는 수신된 패킷 데이터를 제거할 것인지 그대로 놔두었다가 시스템 메모리로 옮길 것인지를 결정하고, 제거할 경우 해당 패킷 내용이 수신되기 이전의 디램에 수신피포 어드레스로 이동함으로써, 현재 받은 패킷 내용을 제거 하는 것을 특징으로 하는 수신오류 패킷 처리장치.

도면

도면 1



도면 2



도면 3

